

#3  
PCT/JP00/02914

日本国特許庁

02.05.00

KU  
PATENT OFFICE  
JAPANESE GOVERNMENT

JP00/2914

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 5月 7日

REC'D 26 JUN 2000

出願番号  
Application Number:

平成11年特許願第127688号

出願人  
Applicant(s):

ソニー株式会社  
アプライド マテリアルズ インコーポレイテッド

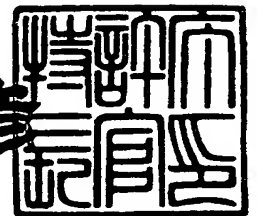
**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月 9日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3042387

【書類名】	特許願
【整理番号】	AMJ260
【提出日】	平成11年 5月 7日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社 内
【氏名】	民谷 直幹
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社 内
【氏名】	小暮 里英
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社 内
【氏名】	高岡 裕二
【発明者】	
【住所又は居所】	千葉県成田市新泉 1 4 - 3 野毛平工業団地内 アプライ ド マテリアルズ ジャパン 株式会社内
【氏名】	朴 世烈
【発明者】	
【住所又は居所】	千葉県成田市新泉 1 4 - 3 野毛平工業団地内 アプライ ド マテリアルズ ジャパン 株式会社内
【氏名】	▲高▼倉 靖
【発明者】	
【住所又は居所】	千葉県成田市新泉 1 4 - 3 野毛平工業団地内 アプライ ド マテリアルズ ジャパン 株式会社内
【氏名】	山内 英敬

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【特許出願人】

【識別番号】 390040660

【氏名又は名称】 アプライド マテリアルズ インコーポレイテッド

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100094318

【弁理士】

【氏名又は名称】 山田 行一

【選任した代理人】

【識別番号】 100094008

【弁理士】

【氏名又は名称】 沖本 一暁

【選任した代理人】

【識別番号】 100108257

【弁理士】

【氏名又は名称】 近藤 伊知良

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 11-12768-8

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって

金属膜を形成する第 1 の工程と、

膜厚が 1 5 0 n m 乃至 3 0 0 n m であって、前記所定パターンを有し、シリコン系無機絶縁膜からなるハードマスクを前記金属膜上に形成する第 2 の工程と、

エッチングガスにより、前記ハードマスクを用いて前記金属膜をエッチングし、前記所定パターンの金属配線を形成する第 3 の工程と、  
を備え、

前記第 3 の工程中に、前記金属膜に残留帯電する電荷の量を低減せしめ、これにより前記電荷が前記制御電極へ流入することによって生じる前記絶縁層の破壊および劣化を防止するようにした半導体装置の製造方法。

【請求項 2】 前記ハードマスクの材料はシリコン酸化物である、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記金属膜は A l 膜または A l 合金膜である、請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記金属膜はタングステン膜または銅合金膜である、請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記ハードマスクの膜厚は 1 8 0 n m 乃至 2 3 0 n m である、請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記エッチングガスは C l を含有する、請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記金属膜に接してバリアメタル膜が設けられている、請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 前記ハードマスクを用いて前記バリアメタル膜をエッチングする工程を更に備える、請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記金属膜と前記ハードマスクとの間に反射防止膜が設けられている、請求項 1 に記載の半導体装置の製造方法。

【請求項 10】 前記ハードマスクを用いて前記反射防止膜をエッチングする工程を更に備える、請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、制御電極を有する金属-絶縁体-半導体型 (MIS 型) 半導体デバイス上に金属配線を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の金属配線等を形成する場合、プラズマエッチングが広く一般に採用されている。例えば、アルミニウム膜 (Al 膜) やアルミニウム合金膜 (Al 合金膜) をプラズマエッチングする場合、エッチングガスとして  $\text{Cl}_2$  や  $\text{BCl}_3$ 、 $\text{CCl}_4$  のような Cl 原子を含むガスを用いるのが一般的である。また、金属膜のプラズマエッチングにおいては、マスク材料としてフォトリソグが使用され、金属膜とフォトリソグ膜との間には TiN 膜等の Ti 系膜が反射防止膜として形成される場合がある。

【0003】

【発明が解決しようとする課題】

しかしながら、制御電極を有する金属-絶縁体-半導体型半導体デバイスを備える半導体集積回路を半導体基板の表層に製造するときに、この半導体デバイスの制御電極部がエッチング後に破壊されていたり、絶縁耐圧低下等の劣化が生じていたりする現象が観測されることがある。

【0004】

このような現象を回避するために、エッチング条件を変更すること、またはエッチング装置を変更すること、等によって対策が取られていた。このため、エッチング形状およびプロセス余裕を必ずしも満足できる状態まで向上させることが

できなかった。故に、今後更なる微細化を進めるに当たり、更なる改善が必要とされていた。

#### 【 0 0 0 5 】

本発明の目的は、このような事情に鑑みて為されたものであり、制御電極を有する半導体デバイス上に金属配線を形成する場合において、制御電極の部分の破壊および劣化が低減可能な半導体装置の製造方法を提供することにある。

#### 【 0 0 0 6 】

##### 【課題を解決するための手段】

発明者は、上記目的を達成するために様々な検討を重ねた。エッチングによる MOS 半導体デバイスの破壊は、制御電極と半導体基板との間に挟まれたシリコン酸化膜が放電によって破壊および劣化されることにより生じる。発明者は、金属膜を形成するときの制御電極の帯電（チャージアップ）に着目した。エッチングの際に制御電極が帯電することによって、シリコン酸化膜（ゲート絶縁膜）に高い電界が加わる可能性があるからである。

#### 【 0 0 0 7 】

エッチングの際に制御電極の帯電を低減するためには、エッチング条件を再検討する方法、エッチング装置を改造する方法等がある。しかしながら、これらの方法は、多くの部分がすでに検討されている。故に、発明者は帯電量自体を低減させる方法がないかと更に検討を重ねた。その結果、本発明を以下の構成のようにした。

#### 【 0 0 0 8 】

本発明の半導体装置の製造方法は、基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって、(1)金属膜を形成する第 1 の工程と、(2)膜厚が 1 5 0 n m 乃至 3 0 0 n m であって、所定パターンを有し、シリコン系無機絶縁膜からなるハードマスクを金属膜上に形成する第 2 の工程と、(3)エッチングガスにより、ハードマスクを用いて金属膜をエッチングし、所定パターンの金属配線を形成する第 3 の工程と、を備える。

#### 【 0 0 0 9 】

これによって、第 3 の工程中に、金属膜に残留帯電する電荷の量を低減せしめ、これにより電荷が制御電極へ流入することによって生じる絶縁層の破壊および劣化を防止するようにしている。

## 【 0 0 1 0 】

このように、制御電極との間に導線経路が存在する配線層を形成する際に使用されるマスク材として、フォトレジストに代わってハードマスクを採用した。ハードマスクを採用すると、金属膜をエッチングする際に必要とされるマスク材の初期膜厚を薄くすることができる。このため、マスク材の体積を減少させることができるので、エッチング中に電荷を捕獲する部分が減る。故に、マスク材に帯電する電荷量が低減可能なので、制御電極と基板との間に加わる電圧を小さくすることができる。

## 【 0 0 1 1 】

発明者は、上記の効果を利用しつつ、金属配線のエッチングを確実に行うためには、ハードマスクの好適な膜厚の範囲は、150 nm 以上 300 nm 以下の範囲であることを見いだした。また、上記の効果が更に顕著に得られるハードマスクの好適な膜厚の範囲は、180 nm 以上 230 nm 以下の範囲であることを見いだした。

## 【 0 0 1 2 】

更に詳細な検討を重ねた結果、発明者は、本発明を以下のように適用できることを見い出した。

## 【 0 0 1 3 】

本発明の半導体装置の製造方法では、ハードマスクの材料として、シリコン酸化物等のシリコン系無機膜を用いると、マスク材が金属配線を形成した後も、配線を絶縁するための絶縁膜の一部となるので、ハードマスクを除去する必要がない。例えば、シリコン系無機膜として、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiOF}$  および  $\text{SiON}$  の少なくともいずれかが含まれることができる。

## 【 0 0 1 4 】

本発明の半導体装置の製造方法では、金属膜として、Al 膜および Al 合金膜を適用することができ、更に、タングステン膜および銅膜も適用できる。



## 【0015】

本発明の半導体装置の製造方法では、C1を含有するエッチングガスにより金属膜をエッチングすることが好適である。

## 【0016】

本発明の半導体装置の製造方法では、金属膜に接してバリアメタル膜を設ける工程を備えることができる。このバリアメタル膜をハードマスクを用いてエッチングする工程を備えることができる。また、ハードマスクの形成に先立って、金属膜上に反射防止膜を設ける工程を備えることができる。この反射防止膜をハードマスクを用いてエッチングする工程を備えることができる。

## 【0017】

このように、反射防止膜およびバリアメタル層の少なくともいずれかを金属膜と同一のマスクを用いてエッチングすることができるので、製造工程が簡素化される。

## 【0018】

## 【発明の実施の形態】

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。可能な場合には、同一の部分には同一の符号を付して重複する説明を省略する。

## 【0019】

図1(a)は、本発明の実施の形態である半導体装置の製造方法を適用して基板に製造される半導体装置の工程断面図であり、図1(b)は、図1(a)に示された工程断面図に対応する平面図である。図1(a)は、図1(b)のI-I断面に対応する。以下、基板としてP型シリコン基板2を使用し、MIS型半導体デバイスとして金属-酸化物-半導体型（以下、「MOS型」と記す）トランジスタを形成する場合について説明する。

## 【0020】

図1(a)及び図1(b)を参照すると、シリコン基板2の表層に素子分離膜4が形成されている。素子分離膜4は、MOS型トランジスタが形成される素子領域6を相互に分離するための絶縁領域である。素子分離膜4は、例えば、LOCOS法、LOPOS法、等を採用して、絶縁領域にシリコン酸化膜を成膜する

ことによって形成される。

#### 【0021】

続いて、基板 2 上に、ポリシリコン層 8 を形成する。ポリシリコン層 8 は、熱酸化法を用いてゲート絶縁膜 10 を形成した後にポリシリコン膜を CVD 法によって成膜し、このポリシリコン膜を所定形状にエッチングすることによって形成される。ポリシリコン層 8 は、素子領域 6 上に設けられた制御電極 8 a、および素子分離膜 4 上に設けられた配線層 8 b から成る。

#### 【0022】

素子領域 6 には、制御電極 8 a および素子分離膜 4 に対して自己整合的に N 型半導体領域 6 a、6 b が形成されている。この N 型不純物の導入は、例えばイオン注入法によって行うことができる。N 型半導体領域 6 a、6 b の一方は、MOS 型トランジスタのソース領域を形成し、また他方は MOS 型トランジスタのドレイン領域を形成する。N 型半導体領域 6 a、6 b は、制御電極 8 a によって分離されている。分離された N 型半導体領域 6 a、6 b の間には、チャネル領域 6 c が形成されている。チャネル領域 6 c と制御電極 8 a とは、ゲート酸化膜 10 を両側から挟んでいる。制御電極 8 a に加えられる電圧によって、チャネル領域 6 c の導電率に変調される。その結果として、制御電極 8 a は、ソース領域とドレイン領域との間に流れる電流を制御するための制御電極となる。

#### 【0023】

基板 2 上には、MOS 型トランジスタが有するソース領域及びドレイン領域の N 型半導体領域 6 a、6 b 並びに制御電極 8 a と、制御電極 8 a とその上層に形成される配線層とを電氣的に分離するための層間絶縁膜 14 が形成される。この絶縁膜 14 は、例えば、CVD 法を用いて所定の厚さの BPSG 膜を堆積した後に、熱処理することによって平坦化して形成されることができる。この層間絶縁膜 14 内には、ソース領域及びドレイン領域の N 型半導体領域 6 a、6 b、制御電極 8 a 並びに配線層 8 b と、上層形成される金属配線とを電氣的に接続するための導電部が形成される。このために、層間絶縁膜 14 内に、コンタクト孔 12 a、12 b、12 c、12 d を形成する。コンタクト孔 12 a、12 b、12 c、12 d は、例えば、フォトリソグラフィ法を用いて所定部分に開口部を有する

フォトリソマスクを形成した後に、プラズマエッチング法によって開口部の層間絶縁膜 14 を除去することによって形成される。コンタクト孔 12 a は N 型半導体領域 6 a 上に設けられ、N 型半導体領域 6 a とその上層の配線層を接続するための導電部が形成される。コンタクト孔 12 b は N 型半導体領域 6 b 上に設けられ、N 型半導体領域 6 b とその上層の配線層を接続するための導電部が形成される。コンタクト孔 12 c は配線層 8 b 上に設けられ、配線層 8 b とその上層の配線層を接続するための導電部が形成される。コンタクト孔 12 d は制御電極 8 a 上に設けられ、制御電極 8 a とその上層の配線層を接続するための導電部が形成される。

## 【0024】

図 2 (a) は、ハードマスク膜上にマスクパターン形成用のフォトリソマスクを形成した後の工程断面図である。図 2 (a) を参照すると、基板 2 上には、金属膜 16 が堆積される。金属膜 16 は、アルミニウム (Al)、Al 合金、タンゲステンおよび銅等の少なくともいずれかから成る導電膜を備える。金属膜 16 と層間絶縁膜 14 との間には、Ti または Ti/TiN から成るバリアメタル膜を備えることができる。また、導電膜上には、導電膜に接して反射防止膜が更に形成されることができる。反射防止膜としては、p-SiON、TiN、Ti/TiN、Si、Si/TiN、p-SiON/TiN、SiC、有機塗布膜等を有する単一層膜および積層膜を利用することができる。バリアメタル膜、導電膜および反射防止膜の各々は、例えば、スパッタリング法又は CVD 法によって形成されることができる。金属膜 16 は、層間絶縁膜 14 に形成されたコンタクト孔 12 a、12 b、12 c、12 d (図示せず) 内にも形成されるので、N 型半導体領域 6 a、6 b、制御電極 8 a 及び配線層 8 b と、上層に形成される金属膜とを電氣的に接続するための導電部 16 a、16 b、16 c、16 d も同時に形成される。

## 【0025】

金属膜 16 の膜厚を例示すれば、製造される半導体装置の特性および信頼性を確保するためには、100 nm 以上 1000 nm 以下であることが好ましい。一実施例を詳述すれば、

Ti系のバリアメタル膜：50nm以上100nm以下

Al膜からなる導電膜：100nm以上1000nm以下

反射防止膜：50nm以上100nm以下

である。

#### 【0026】

次いで、ハードマスクとなるハードマスク膜18を金属膜16上に形成する。ハードマスク膜18の材料としては、シリコン系絶縁膜が利用できる。シリコン系絶縁膜を例示すれば、シリコン系無機膜として、 $\text{SiO}_2$ が含まれることができる。これら無機膜は、例えば、CVD法等を用いて堆積される。

#### 【0027】

ハードマスク膜18の膜厚は、金属膜16のエッチングを適切に行うために、150nm以上であり300nm以下の厚さであることが好ましい。ハードマスク膜18（ハードマスク22）の厚さが150nm未満であると、上記の金属膜16のエッチングの際にマスク材として機能が発揮されない。つまり、エッチングの際の膜減りを考慮すると、マスク材としては薄すぎるのである。一方、ハードマスク膜18の厚さが300nmを越えると、逆にエッチング中の帯電量の増加によりゲート酸化膜の破壊および劣化が目立ち始める。このため、上記の膜の範囲が、発明者が実験と考察によって見いだした好適な範囲である。発明者が実験データを詳細に検討した結果、膜厚180nm以上230nm以下の範囲がさらに好適であることが明らかになった。

#### 【0028】

これらの層16、18が堆積された後に、フォトリソグラフィ法を採用してハードマスクを形成する。図2（b）は、ハードマスク22を形成した後の工程断面図を示している。ハードマスク22の形成は、以下の工程に従って進められる。まず、ハードマスク膜18上にフォトレジストを塗布し露光して、金属配線として形成されるべき配線パターンを有するレジスト層20を形成する。このレジスト層20をマスクとして、ハードマスク膜18をエッチングする。ハードマスク膜18をエッチングするための条件を例示すれば、以下のようなものである。

$\text{CHF}_3$ の流量：10sccm

CF<sub>4</sub>の流量 : 2 0 s c c m

Arの流量 : 6 0 s c c m

O<sub>2</sub>の流量 : 5 s c c m

チャンバ内の圧力 : 6 0 m T o r r

パワー : 2 0 0 W

このような条件を用いてハードマスク膜 1 8 をエッチングし、ハードマスク 2 2 を形成する。

#### 【 0 0 2 9 】

次いで、このように形成されたハードマスク 2 2 をマスクにして金属膜をエッチングする。ハードマスク 2 2 を用いた金属膜 1 6 のエッチングは、プラズマエッチング装置を使用して行うことができる。この詳細については後述する。図 3 ( a ) は、ハードマスク 2 2 を用いて金属膜 1 6 をエッチングして金属配線 2 4 が形成された後の工程断面図を示している。なお、図 3 ( a ) は、以下に示される図 3 ( b ) の I I - I I 断面に対応する。このようにハードマスク 2 2 を用いて金属膜 1 6 のエッチングを行うと、エッチングに際してゲート酸化膜 1 0 の破壊および劣化が低減される。図 3 ( b ) は、金属膜 1 6 がエッチングされて金属配線 2 4 が形成された後の工程における平面図を示している。図 3 ( b ) を参照すると、制御電極 8 a 及び配線層 8 b は、コンタクト孔 1 2 d 内に形成された導電部 1 6 d を介して、エッチング中は金属層 1 6 と導電経路を有し、またエッチング後は金属配線 2 4 と、導電経路を有する。このため、制御電極 8 a 及び配線層 8 b は、金属配線 2 4 が形成された後においても、エッチングのプラズマにさらされているときは、エッチングマスクの帯電量に応じて、基板 2 と異なる電位になる。これに関する詳細は後述する。

#### 【 0 0 3 0 】

なお、ハードマスク 2 2 は、シリコン系無機膜であるので、金属配線 2 4 を形成した後においても取り除く必要がないことも有利な点である。

#### 【 0 0 3 1 】

金属配線 2 4 を形成した後に、ハードマスク 2 2 が残された状態で、パッシベーション膜 2 6 を形成する。図 4 は、パッシベーション膜 2 6 を形成した後の工

程断面図である。パッシベーション膜 26 は、例えば、CVD 法を用いて低濃度の磷 (P) ドープのシリコン酸化膜 (PSG) を堆積した後に、プラズマ窒化膜を形成することによって達成される。

#### 【0032】

以上の工程によって、発明の実施の形態で説明した半導体装置の製造方法を適用した半導体装置が完成した。この実施の形態では、単一の金属配線層 24 を有する半導体装置について説明したけれども、金属配線層 24 の上に追加される一層以上の金属配線層を更に有する半導体装置に対しても適用できることは言うまでもない。この場合に、金属層 16、ハードマスク膜 18、フォトリソマスク 20 のそれぞれに対応する、別個の金属層、別個のハードマスク膜、別個のフォトリソマスクをそれぞれ形成する。これらの形成方法は、上記の方法と同じように行うことができるがこれに限られるものではない。この後に、別個のフォトリソマスクをマスクにして別個のハードマスク膜をエッチングして、別個のハードマスクを形成する。そして、この別個のハードマスクをマスクにして、別個の金属層をエッチングして金属配線層を形成する。この場合においても、MOS 型トランジスタのゲート酸化膜が、エッチング中に破壊および劣化されることが低減される。

#### 【0033】

上で説明した金属膜のエッチング工程において使用されたエッチング条件に関して説明する。エッチングは、 $\text{Cl}_2$  ガス、 $\text{BCl}_3$  ガスの混合ガスをエッチングガスの主成分として、 $\text{CHF}_3$  を添加ガスに用いてエッチングを行ったものである。

#### 【0034】

エッチング条件を例示すれば、基板 2 をエッチング装置のサセプタ上に載置し、固定した後、処理チャンバ内の圧力を 5 ~ 30 mTorr 程度、例えば 12 mTorr に減圧する。一方、ガス流量バルブを制御して、 $\text{Cl}_2$  ガスの流量を 80 sccm (全量に対して約 60%)、 $\text{BCl}_3$  ガスを 40 sccm (約 10%)、 $\text{CHF}_3$  ガスを 15 sccm 以下の流量の条件でそれぞれ流し、これらを混合した後にチャンバ内に供給して、エッチングを行うことが好適である。高周波

電力を印加すると、チャンバ内において高密度プラズマが発生し、維持される。エッチングガスはプラズマによって解離及び電離され、プラズマ中に存在する塩素（C 1）の活性種及びイオンが主に金属膜 1 6 のエッチングに寄与する。この際、C 1 イオンが負電位のサセプタに向かって進むので、垂直方向の異方性エッチングが可能となる。

## 【0 0 3 5】

なお、C 1<sub>2</sub>ガス及びB C 1<sub>3</sub>ガスは、従来、一般に金属膜のエッチングガスとして用いられた場合と同様の混合比で混合され使用される。金属膜 1 6 の材料として、A 1、A 1 合金を例示して挙げているが、エッチングのための上記C 1 含有ガスでエッチング可能な導電材料であれば、配線層として使用することができる。

## 【0 0 3 6】

次いで、金属配線の形成に際して、M O S 型トランジスタのゲート酸化膜（制御電極）の破壊が実質的に防止されるメカニズムについて、図 5（a）及び図 5（b）を参照しながら説明する。図 5（a）は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって金属膜中に誘起される電荷の両方を示す模式図である。図 5（b）は、フォトリジストを用いたエッチングの際の帯電電荷、およびその電荷によって金属膜中に誘起される電荷の両方を示す模式図である。発明者は、このメカニズムを以下のように考えている。

## 【0 0 3 7】

まず、フォトリジストを使用して同一膜厚の金属膜をエッチングする場合と比較して、ハードマスクを採用するとマスク膜厚を薄くすることができる。例えば、フォトリジストの厚さが 1 μ m 以上 2 μ m 以下であることが必要な場合でも、ハードマスクを採用すると、既に説明したように、ハードマスクの膜厚が 1 5 0 n m 以上 3 0 0 n m 以下であれば良好に金属膜のエッチングを行うことが可能となる。つまり、帯電の原因となるマスク材の体積が小さくなる。このため、エッチング中にマスク材の帯電量が少なくなるので、金属膜の誘起電荷量を少なくできる。また、ハードマスクの膜厚が 1 8 0 n m 以上 2 3 0 n m 以下であれば、さらに好ましい。

## 【 0 0 3 8 】

マスク材は、エッチングの際に電荷が蓄積されて負に帯電し、またエッチングのための金属膜に到達するイオンは正電荷を有するので、エッチングされる導体は相対的に正に帯電するようになる。このため、金属膜の電位は基板と異なる電位になる。制御電極（図 1（a）の 8 a）および配線層（図 1（a）の 8 b）は、金属膜と電氣的な接続経路（例えば、図 2（b）の 1 6 c、1 6 d）を有するので、制御電極 8 a および配線層 8 b と、これらと対面する基板との間には電位差が生じる。薄いゲート絶縁膜を介して基板と絶縁されている制御電極 8 a は、その電位差が大きくなるとゲート絶縁膜が絶縁破壊を起こす。しかしながら、本発明では、原因となるマスク材の帯電量が少なくできるので、この絶縁破壊にまで至らない。

## 【 0 0 3 9 】

また、ハードマスクの帯電量が少なくなることに加えて、ハードマスクを用いると、フォトリジストを用いる従来の場合に比較して、エッチング部分のアスペクト比が小さく維持される。このため、フォトリジストを用いていた場合には、帯電した負電荷によって生じるシェーディングのために跳ね返されていたプラズマ中の電子が、エッチング部分の深部にも到達可能になる。故に、エッチング中の金属膜に到達した電子は、正に帯電した金属膜の帯電量を減少させることができる。このため、エッチング中に生じる金属膜の帯電を低減するために役立つ。

## 【 0 0 4 0 】

図 5（a）および図 5（b）から明らかなように、本実施の形態において説明した方法によれば、エッチングの際に膜中の電荷、およびその電荷によって誘起される電荷の両方が低減される。マスク材の帯電は、配線が密に形成される部分で顕著になると考えられる。しかしながら、本実施の形態で説明した方法によれば、このような配線密集領域においても、マスク材の帯電が、上記の 2 通りのメカニズムによって低減される。

## 【 0 0 4 1 】

図 6（a）は、フォトリジストを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方に関してキャパシタを用いて表した概念図



である。図 6 (b) は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。

【0042】

図 6 (a) を参照すると、フォトレジストの膜厚が厚いので、多くの帯電電荷が存在する。図 6 (b) を参照すると、ハードマスクの膜厚がより薄いので、より少ない帯電電荷が存在する。このため、ノード A とノード B との電位差  $V_1$  は、ノード C とノード D との電位差  $V_2$  に比べて、その絶対値において大きくなる。

【0043】

図 6 (a) 及び図 6 (b) において、キャパシタ  $C_1$  は、素子分離膜上のポリシリコン層（例えば、図 1 (b) の 8 b）と基板との間に形成される。キャパシタ  $C_2$  は、ゲート酸化膜上のポリシリコン層（例えば、図 1 (b) の 8 a）と基板との間に形成される。ゲート酸化膜の膜厚は、素子分離膜の膜厚に比べて薄いので、両キャパシタの単位面積当たりの容量値を比較すると  $C_1 < C_2$  である。

【0044】

図 6 (a) に示されたキャパシタ  $C_1$ 、 $C_2$  の両端には、図 6 (b) に示されたのキャパシタ  $C_1$ 、 $C_2$  に比べて大きな電圧が加えられている。ゲート酸化膜の膜厚は薄いので、製造プロセスに起因する欠陥も生じやすいと考えられる。このため、ある程度大きな電圧が加わると、その欠陥部分が絶縁破壊を起こすと考えられる。これが、制御電極（ゲート電極）の破壊として現れると考えられる。

【0045】

図 7 は、ゲート酸化膜の劣化の評価方法の一つである経時絶縁破壊 (TDDB、Time Dependent Dielectric Breakdown) の結果を示すグラフである。

【0046】

この方法においては、まず、 $Cl_2$  が 60 sccm、 $BCl_3$  が 90 sccm、 $CHF_3$  が 15 sccm の流量のガスを、10 mTorr の圧力で Al 膜（金属膜）のエッチングが終了するまで流し、次に、 $Cl_2$  が 30 sccm、 $BCl_3$  が 45 sccm、 $CHF_3$  が 15 sccm の流量のガスを 7 mTorr の圧力下

でバリアメタル層のエッチングが終了した後、更に10秒間流す。なお、使用されたサンプルのゲート酸化膜の厚さは4.5nm、ゲート面積は $10\mu\text{m}^2$ である。また、ハードマスク膜厚は、150nmである。

【0047】

このような条件下で形成された制御電極に $500\text{mA}/\text{cm}^2$ の定電流ストレスを与え、破壊にいたるまでの時間を測定した結果を図7に示している。図7のグラフでは横軸に時間、縦軸に累積不良率として表示している。「○」印はフォトリジストを使用したとき（図7中のPR Process）のデータ、「●」印はハードマスクを使用したとき（図7中のHard Mask Process）のデータである。なお、「□」印（図7中のReference）は対比参照のために、配線パターンのない単なる電極状パターン（制御電極面積に対して10万倍の面積のパターン）に接続された制御電極において測定されたデータであり、配線パターンでないためにシェーディングに起因するダメージを含まない結果である。

【0048】

図7のグラフの結果から明らかなように、フォトリジストを使用した結果に比べ、ハードマスクを使用したときの累積不良率は改善され良好なものとなり、シェーディングに起因するダメージを含まない結果とほぼ同等なものになることがわかる。

【0049】

以上、図面を参照しながら詳細に説明したように、本発明によれば、MOS型半導体デバイスの制御電極と電氣的に接続される配線層のプラズマドライエッチングを行う場合、特に配線間隔が密な部分で配線膜の帯電が促進されることによって生じるゲート酸化膜の絶縁破壊および劣化を低減することができる。

【0050】

【発明の効果】

以上述べたように、本発明に於いては、制御電極との間に導線経路が存在する配線層を形成する際に使用されるマスク材として、フォトリジストに代わってハードマスクを採用した。ハードマスクを採用すると、金属膜をエッチングする際に必要とされるマスク材の初期膜厚を薄くすることができる。

【0051】

このため、マスク材の体積を減少させることができるので、エッチング中に電荷を捕獲する部分が減る。故に、マスク材に帯電する電荷量が低減可能なので、制御電極と基板との間に加わる電圧を小さくすることができる。

【0052】

したがって、制御電極を有する半導体デバイス上に金属配線を形成する場合において、ゲート酸化膜の破壊および劣化が低減可能な半導体装置の製造方法が提供される。

【図面の簡単な説明】

【図1】

図1（a）は、本発明の半導体装置の製造方法を適用して基板に製造される半導体装置の工程断面図であり、図1（b）は、図1（a）に示された工程断面図に対応する平面図である。

【図2】

図2（a）は、ハードマスク膜上にマスクパターン形成用のフォトレジストを形成した後の工程断面図である。図2（b）は、ハードマスクを形成した後の工程断面図を示している。

【図3】

図3（a）は、ハードマスクを用いて金属膜をエッチングして金属配線を形成した後の工程断面図を示している。図3（b）は、金属膜がエッチングされて金属配線が形成された後の工程における平面図を示している。

【図4】

図4は、パッシベーション膜を形成した後の工程断面図である。

【図5】

図5（a）は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方を示す模式図である。図5（b）は、フォトレジストを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方を示す模式図である。

【図6】

図 6（a）は、フォトレジストを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。図 6（b）は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。

【図 7】

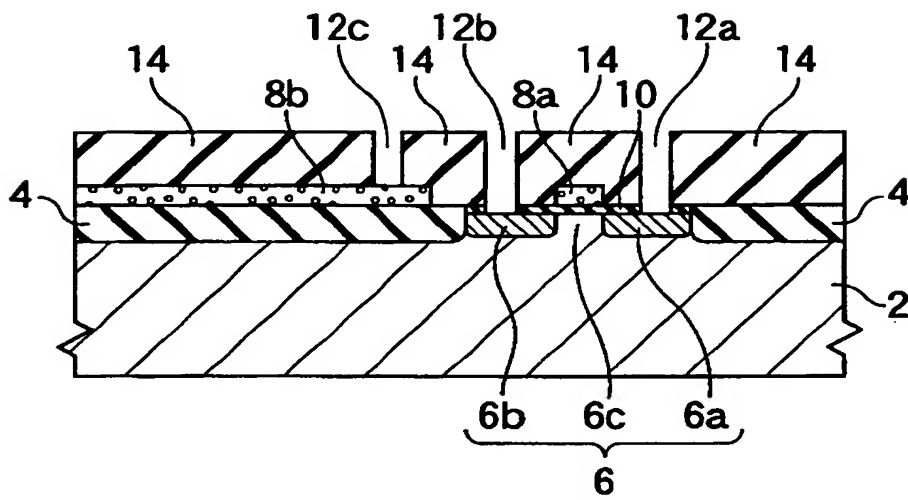
図 7 は、ゲート酸化膜の劣化の評価方法の一つである経時絶縁破壊の結果を示すグラフである。

【符号の説明】

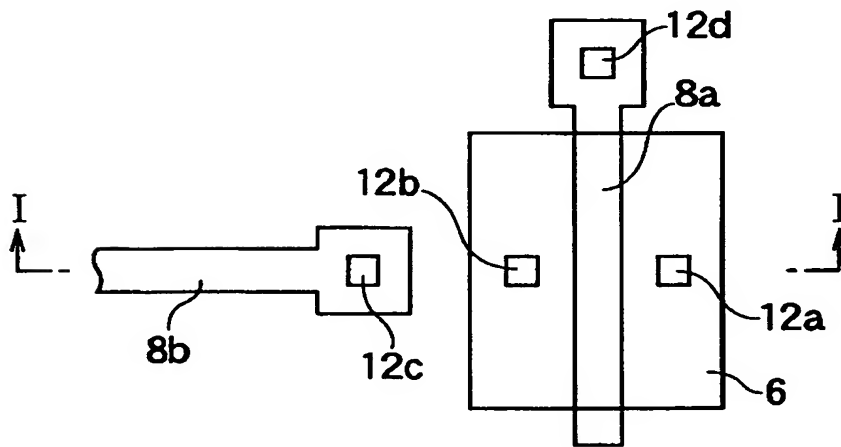
2 …基板、4 …素子分離膜、6 …素子領域、8 …ポリシリコン層、  
10 …ゲート酸化膜、12 a、12 b、12 c、12 d …コンタクト孔、  
16 …金属膜、18 …ハードマスク膜、20 …フォトレジスト、  
22 …ハードマスク、24 …金属配線、26 …パッシベーション膜

【書類名】 図面

【図 1】

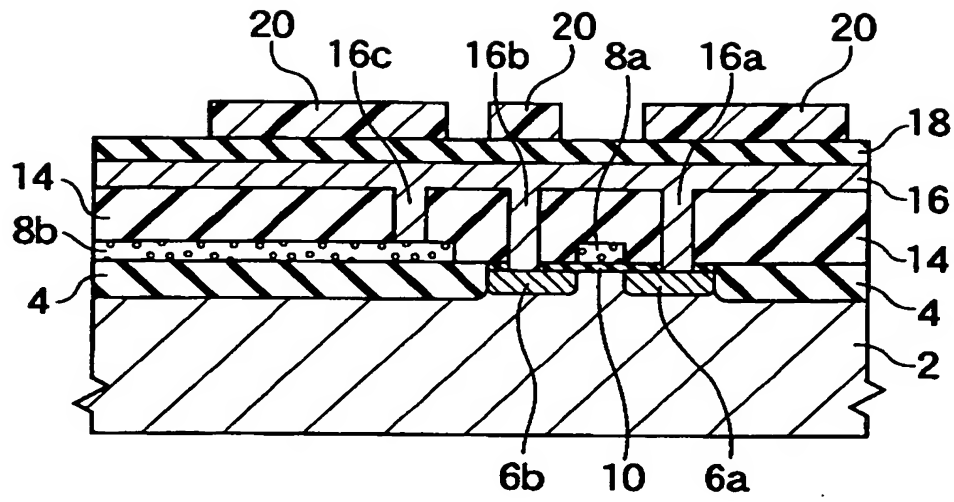


(a)

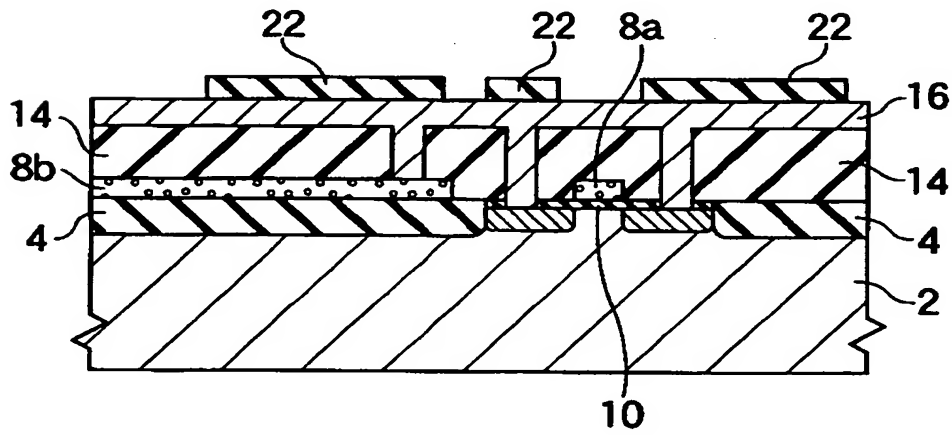


(b)

【図 2】

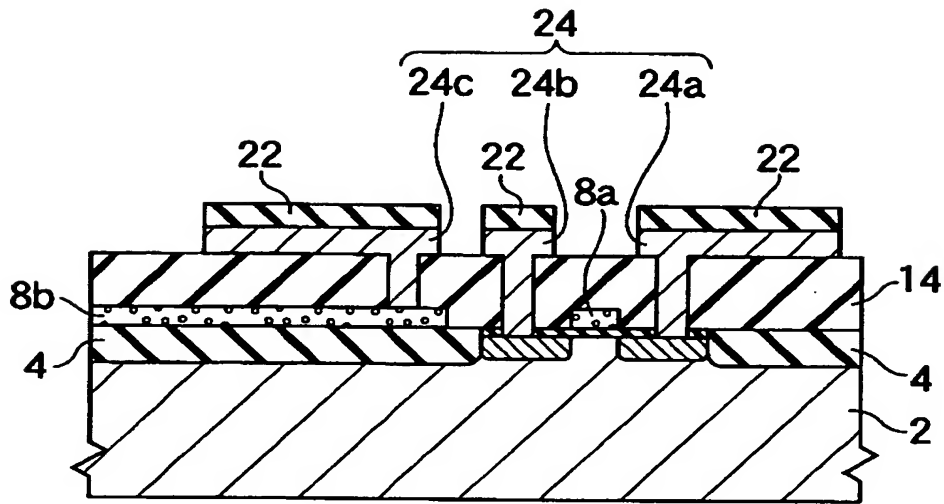


(a)

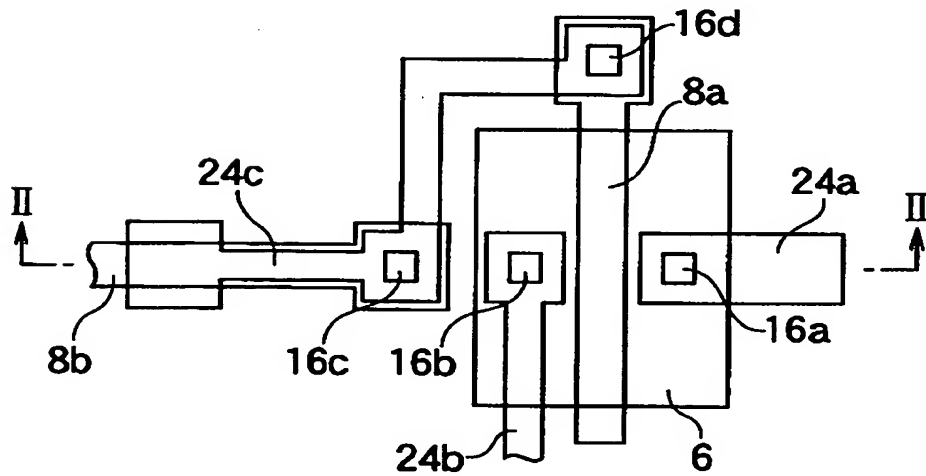


(b)

【図 3】

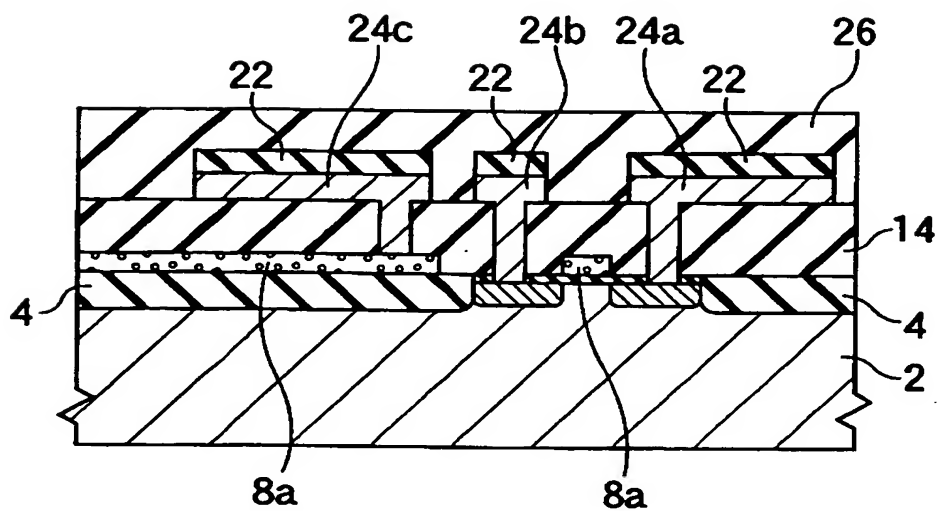


(a)



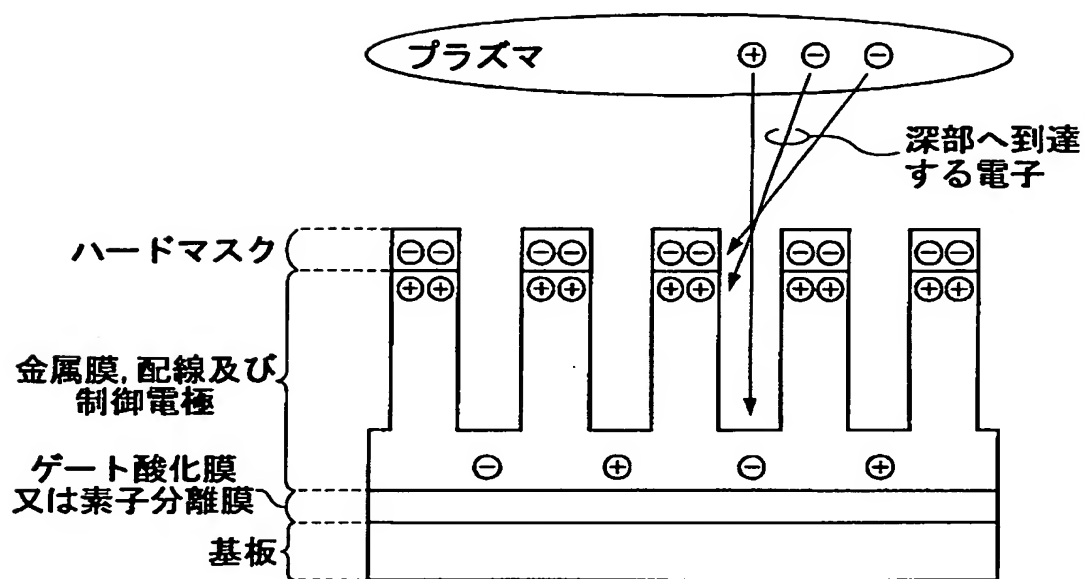
(b)

【図 4】

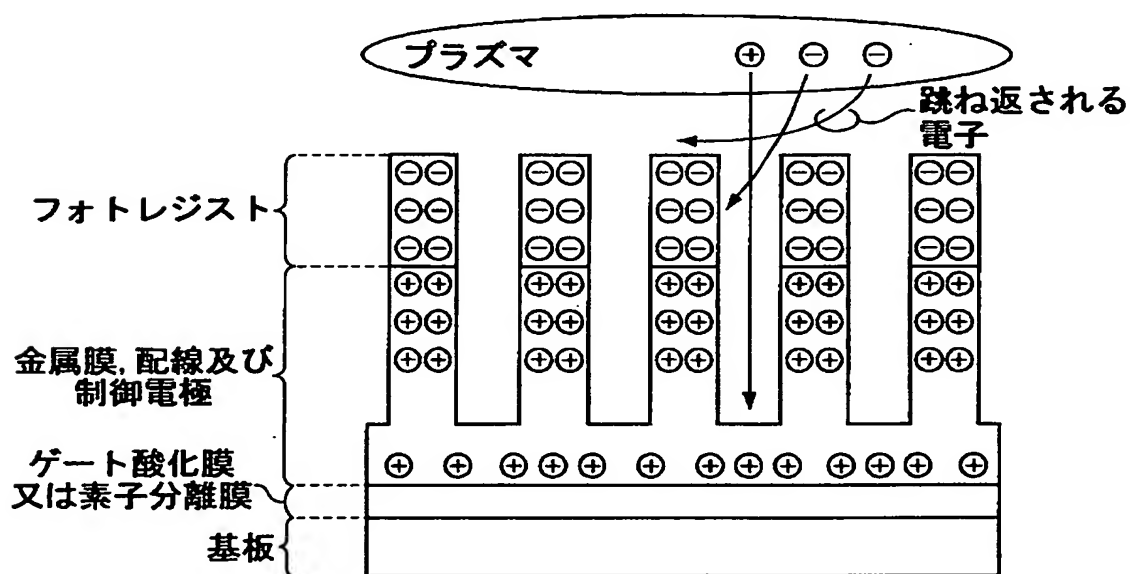




【図 5】

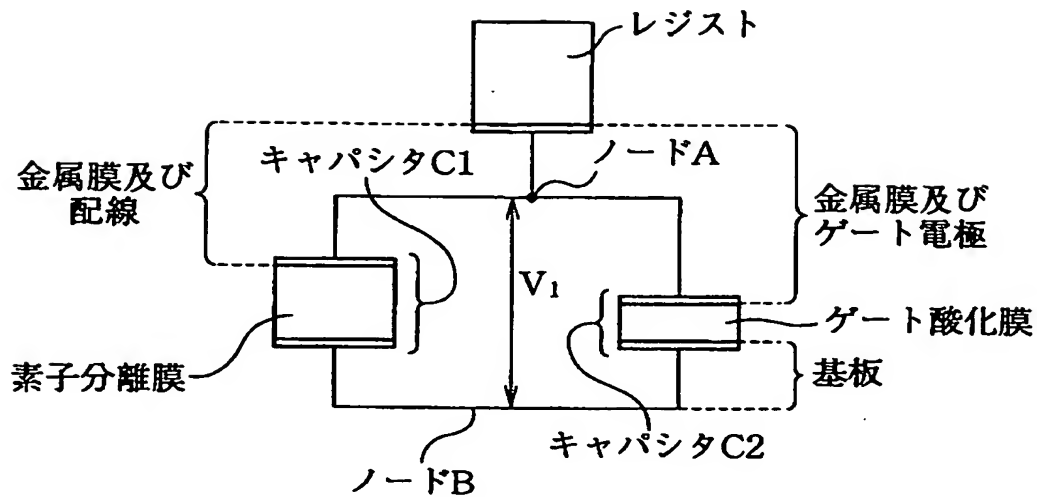


(a)

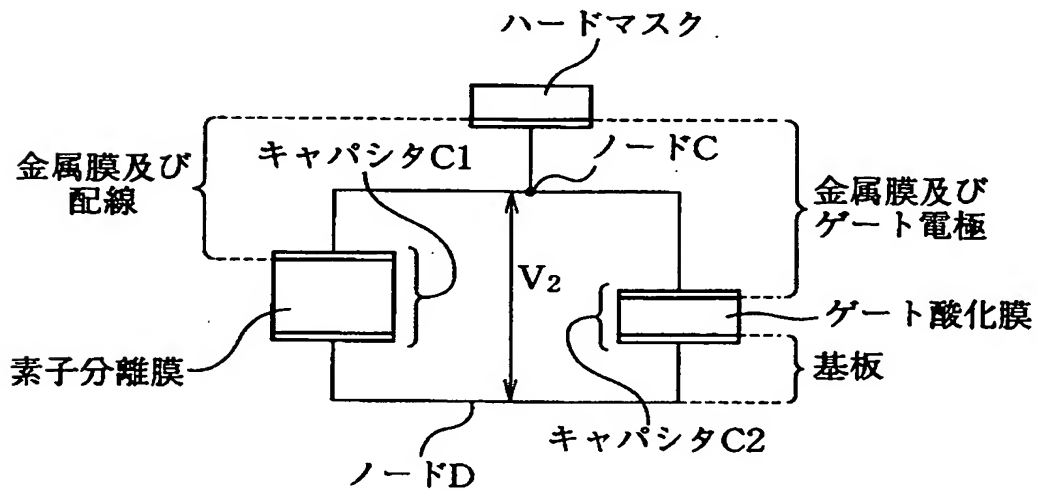


(b)

【図 6】

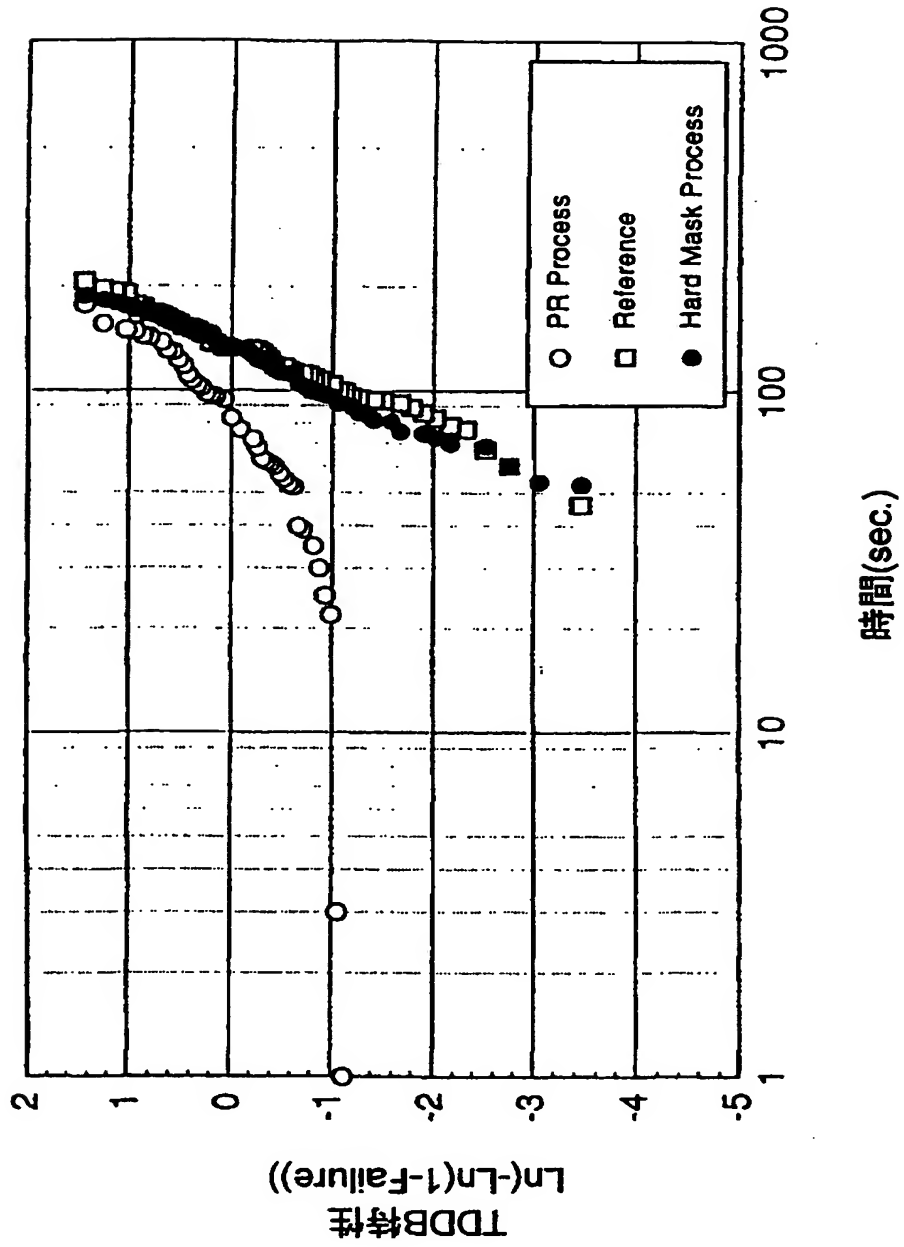


(a)



(B)

【図 7】



【書類名】 要約書

【要約】

【課題】 制御電極を持つ半導体デバイス上に金属配線を形成する場合、制御電極部のゲート酸化膜の破壊、劣化を低減可能な半導体装置の製造方法を提供する。

【解決手段】 基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって、(1)金属膜を形成し、(2)膜厚が150nm乃至300nmであって所定パターンを有しシリコン系無機絶縁膜からなるハードマスクを金属膜上に形成し、(3)エッチングガスにより、ハードマスクを用いて金属膜をエッチングし、所定パターンの金属配線を形成する工程から構成される。これにより、金属膜に残留帯電する電荷の量を低減せしめ、電荷が制御電極へ流入することによって生じる絶縁層の破壊および劣化を防止している。ハードマスクの膜厚が180nm乃至230nmであればさらに好ましい。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社

出 願 人 履 歴 情 報

識別番号 [390040660]

1. 変更年月日 1990年12月12日

[変更理由] 新規登録

住 所 アメリカ合衆国 カリフォルニア州 95054 サンタ ク  
ララ バウアーズ アベニュー 3050

氏 名 アプライド マテリアルズ インコーポレイテッド